

分离式弹载图像采集系统设计

王晓楠^{1,2}, 王代华^{1,2}, 高 阳³

(1 中北大学 仪器科学与动态测试教育部重点实验室, 山西 太原 030051; 2 中北大学 电子测试技术
国家重点实验室, 山西 太原 030051; 3 西安航天天绘数据技术有限公司, 陕西 西安 710000)

摘 要: 导弹飞行试验中, 弹载图像采集系统随弹钻入地下导致回收困难, 针对这一现状, 提出了一种图像采集与数据存储分离的设计方案。从系统的设计思路、工作流程及硬件结构出发, 利用 LVDS 总线信号传输时速度快、噪声小、误码率低等特点, 解决了图像信号在高噪声、高振动等恶劣环境下长距离可靠性传输的问题。经试验验证, 高振动环境下该系统工作性能稳定, 在 10m 的传输距离内采集的图像清晰可辨。所提设计方案为弹载图像采集工作提供了参考。

关键词: LVDS; 弹载; 图像采集

中图分类号: TM932

文献标识码: A

文章编号: 1000-7180(2018)01-0079-07

Design of Missile-Borne Image Acquisition Separated System

WANG Xiao-nan^{1,2}, WANG Dai-hua^{1,2}, GAO Yang³

(1 School of Instrument and Electronics, North University of China, Taiyuan 030051, China;
2 Science and Technology on Electronic Test & Measurement Laboratory, North University of China,
Taiyuan 030051, China; 3 Space Star Technology Company, LTD, Xi'an 710000, China)

Abstract: When missile hit the target, warhead bores into the underground, it's difficult to recycle test system. In order to solve this problem, this paper proposes a kind of design scheme about separation of image acquisition and data storage. LVDS bus has many advantages such as fast transmission speed, little noise and low bit error rate. To ensure the reliability of long distance transmission of image data in high noise and vibration condition, this paper do research from the system design idea, hardware structure and working process by taking advantage of LVDS bus. Through experimental verification, system work stably under the high vibration environment. Clear image can be acquired within the transmission distance less than 10 meters. This design provides reference for missile-borne image acquisition.

Key words: LVDS; missile-borne; image acquisition

1 引言

近年来,随着图像处理技术和处理器运算能力的飞速提高,图像采集在制导武器上的应用得到了迅速发展,单位时间内图像传感器接收到的数据量成倍增加^[1]。弹载图像记录仪作为弹上的关键设备之一,对数据传输的速度和稳定性要求越来越高^[2-3]。传统弹载测试系统的采集与存储单元采用一体化设计结构,具有局限性:首先,导弹击中目标后,测试系统随弹头进入地下,给找弹和回收工作带来

极大的难度;其次,击中目标后,弹头受到的瞬时冲击非常大,产生的高 g 值过载会给测试系统造成损伤。如何实现图像数据精确采集和便捷回收,成为了当前领域中迫切需要解决的难题。

考虑到高噪声、高振动、高过载等恶劣环境对采集工作的影响,同时为保证图像数据高速传输时的可靠性以及测试系统回收的方便性,本系统采用分离式设计:图像采集部分放置在弹头,存储部分置于弹体中部,两部分使用 LVDS 总线进行数据传输。导弹击中目标后,弹体与弹头分离,存储部分随弹体

散落在地面,回收方便且不易受损.此设计既保证了数据传输的可靠性,又增加了系统的灵活性.

2 LVDS 技术

2.1 LVDS 工作原理

本系统采用 LVDS 总线进行图像数据传输. LVDS 是一种小振幅差分信号技术,又称 RS644 总线^[4]. LVDS 传输系统由一个驱动器和一个接收器通过阻抗为 $100\ \Omega$ 的匹配电阻连接而成,结构如图 1 所示.驱动器通过 $3.5\ \text{mA}$ 的恒流源驱动差分线对,接收端的输入阻抗非常高,经过匹配电阻由此产

生 $350\ \text{mV}$ 的电压.当驱动器翻转时,匹配电阻的电流方向改变,由此产生高低电平状态.

2.2 LVDS 的性能

LVDS 技术解决了目前高速 I/O 接口的瓶颈问题.使用 $350\ \text{mV}$ 的驱动电压,意味着逻辑电平可更快地跳变,可以实现数据的高速传输;信号驱动电压摆幅降低,噪声的容限也随之降低;使用 $3.5\ \text{mA}$ 的恒流源驱动,可以降低电平跳变期间的功耗;低边缘速率的差分传输方式,使 LVDS 传输具有较强的抗干扰能力^[5].与其他几种总线接口相比, LVDS 技术在速度、噪声、功耗、成本等方面具有明显优势,适用于信号传播速度快、传输距离长、信号完整性要求较高的弹载图像采集系统.

LVDS 信号的传输解决方案使用 Camera Link 接口来完成.本系统传输距离不足 $10\ \text{m}$,无需采用电缆驱动芯片,仅使用一对串化器和驱动器即可实现.串化器将 TTL 电平信号串化成 LVDS 差分信号,接收器通过传输电缆接收 LVDS 信号,再解串成 TTL 电平信号.这种宽位 TTL 信号到 LVDS 信道转换充分降低了功耗,减少了噪声和电磁干扰.表 1 所示为 LVDS 与几种常用总线接口的比较.

图 1 LVDS 的基本组成

表 1 LVDS 与其他几种接口的性能比较

工作方式		速度/ (Mb/s)	输入电压阈值/ mV	输出电压摆幅/ mV	功耗	噪声	成本
LVDS	差分	>400	± 100	± 350	最低	低	低
RS-232	单端	<0.02	$\pm 2\times 10^4$	$\pm 5\times 10^3$	低	高	低
RS-422	差分	<30	± 200	$\pm 2\times 10^3$	低	低	低
PECL	差分	>400	± 200	± 200	高	低	高

3 系统方案设计

弹载图像采集系统的目的是存储导弹飞行过程中相机拍摄到的图像.系统由前端图像采集模块和后端存储模块组成,以 FPGA 为主控制器,通过 LVDS 接口实现前后端图像数据的高速传输,系统原理如图 2 所示.根据系统设计的要求,图像采集部分使用 SENTECH 公司的 STC625B 型 CCD 相机. STC625B 型相机输出 PAL 制式的模拟视频信号,每秒 25 帧,有效像素为 720×576 .视频解码芯片 ADV7180 将模拟视频信号转换成 TTL 电平的数字信号,经过 LVDS 驱动器转换成 5 对 LVDS 差分信号,通过 SDR-26 连接线传输给后端存储模块,后端的 LVDS 接收器接收到差分信号后转换成 TTL 电平的数字信号,经 FPGA 处理后,存入 FLASH 存储阵列中.

4 硬件电路设计

本系统的硬件电路设计包括两部分:视频解码芯片 ADV7180 的配置电路和 LVDS 差分信号的转换电路.

4.1 I²C 协议配置 ADV7180

ADV7180 是 ADI 公司推出的一种 8 位分辨率、支持 4 倍过采样的视频图像解码器,支持对 NTSC、PAL 和 SECAM 等模拟视频信号格式的采样^[6-7]. ADV7180 需要通过 I²C 总线接口的初始化才能正常工作,本系统采用一款配备 I²C 总线接口的单片机 STM32S103 实现对 ADV7180 的寄存器配置工作,使得 ADV7180 可以自动识别 PAL 制式的模拟视频信号,并将模拟视频信号解码为 ITU-R. 656 接口标准的数字视频信号. I²C 总线的数据传输时序如图 3 所示.

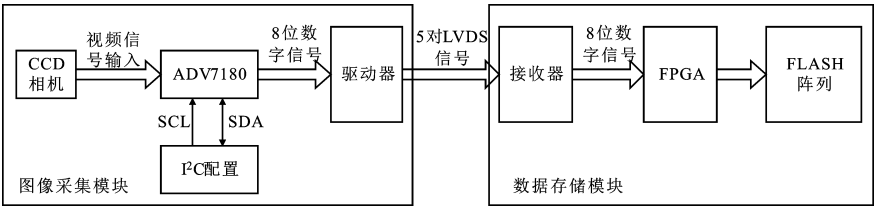


图 2 系统原理框图

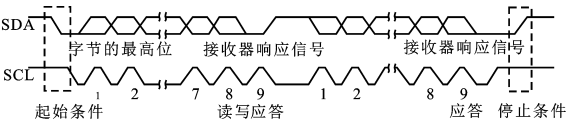


图 3 I²C 总线数据传输时序

主从器件在数据总线 SDA 上进行数据传输,通过时钟总线 SCL 产生时钟信号.当 SCL 时钟为高电平时,SDA 电平由高变低时作为对从设备的“启动”信号,出现“启动”信号后,开始配置 ADV7180 的内部寄存器. ADV7180 寄存器的写时序如图 4 所示.



图 4 ADV7180 寄存器写时序

数据传输开始后,主设备首先发送 7 位从设备地址和 1 位写标志位.从设备收到地址后与自身地址进行比较,若地址匹配,则发出应答信号,在主设备响应应答信号的时钟脉冲期间,SDA 数据线的输入从高阻态变为低电平表示收到从设备的应答信号.单片机检测到应答信号后开始对 ADV7180 芯片内部的寄存器进行配置,由此设定芯片的工作方式和各项特征.收到从设备发出的确认信号后,SDA 数据线发送需要配置的寄存器的地址,收到应答后再发出寄存器参数,此过程循环 8 次后总线发出停止信号,结束配置操作.

ADV7180 芯片内部总共有上百个寄存器,本系统只需配置其中的 8 个寄存器,其余的取默认值即可.寄存器地址及参数如表 2 所示.整个写过程分为初始化、启动、发送从设备地址、发送寄存器地址、发送寄存器数据和停止共 6 个状态,状态转换如图 5 所示.

表 2 ADV7180 配置寄存器信息表

寄存器地址	00	0A	2C	2D	37	58	C3	C4
寄存器参数	00	18	8E	F8	A0	01	01	80

ADV7180 内部寄存器正确配置后,系统检测到启动信号后开始工作. PAL 制式的模拟图像数据经

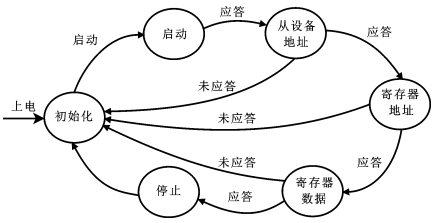


图 5 寄存器配置状态转换图

ADV7180 的数模转换,输出 8 位数据信号、1 位水平同步信号 HSY、1 位垂直同步信号 VSY 和 1 位像素时钟信号 LLC,其中像素时钟 LLC 的输出频率为 27 MHz. 水平同步输出模式的时序如图 6 所示.

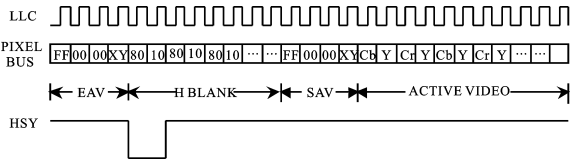


图 6 水平同步输出时序

4.2 LVDS 差分信号发送与接收

LVDS 信号的传输解决方案使用 Camera Link 接口来完成.本系统的 Camera Link 接口芯片使用 NS 公司的 DS90CR287 和 DS90CR288A,这一对串行器和解串器的工作频率为 20~85 MHz,满足 27 MHz 像素时钟的传输带宽.

串行器 DS90CR287 将视频解码芯片 ADV7180 输出的数据信号、同步信号和像素时钟信号串化成 4 对 LVDS 数据信号和 1 对 LVDS 时钟信号,在每个像素时钟周期内对输入信号进行采样和传输. LVDS 发送电路如图 7 所示.

数据存储模块的解串器 DS90CR288A 将 5 对 LVDS 数据流转化成 28 位 TTL 电平信号,包括 8 位数据信号、2 位同步信号和 1 位像素时钟信号,未定义信号做接地处理. FPGA 通过判断此同步信号和像素时钟信号提取有效图像数据. LVDS 接收电路如图 8 所示.

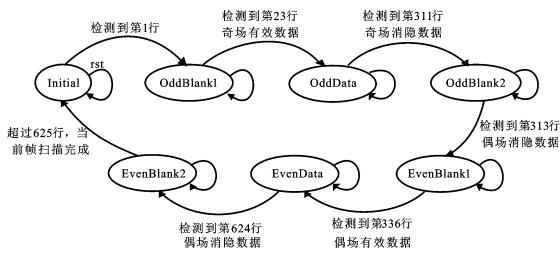


图 9 视频数据抽取状态机

示色度^[9]. 模拟图像信号解码后得到格式为 4-2-2 的 YCbCr 数字视频信号, 每行的有效数据有 1440 字节, 其中 720 字节的 Y 分量, 360 字节的 Cb 分量, 360 字节的 Cr 分量, 每行的有效数据区排列顺序如图 10 所示.

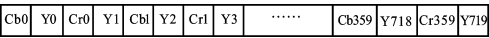


图 10 4-2-2YCbCr 视频数据流格式

5.2 FLASH 存储器的片内交叉二级流水线设计

考虑到图像数据存储的可靠性、非易失性以及成本等问题, 本系统采用 MICRON 公司型号为 MT29F16G08AJADAWP 的 NAND FLASH 存储器, 存储容量为 16 Gb. 该型号 FLASH 存储器内部有 2 个 Device, 分别有独立的片选信号线和忙状态信号线, 每个 Device 内有两个 Die, 每个 Die 有 4096 块, 分别属于两个 Plane, 每块由 64 页构成, 1 页的存储容量为 2 kB. 一个 Device 内部结构如图 11 所示.

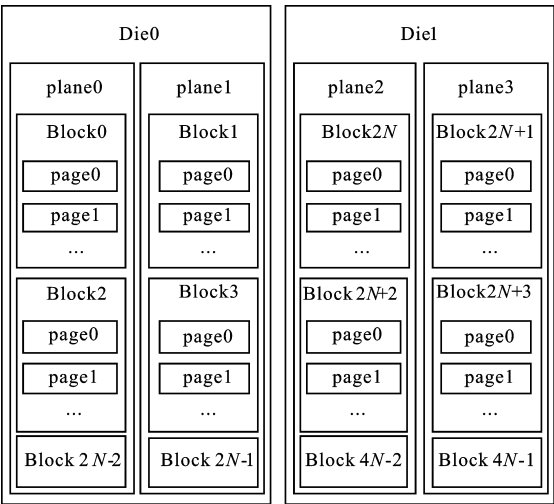


图 11 Device 内部结构

数据在 FLASH 芯片内部的数据流向为: I/O => Data Register => Plane. 数据需要先存放在每个 Plane 的 Data Register 中, 再向块中写入, 待 Data Register 加载完成后 FLASH 开始进入页编程状

态, 此时 FLASH 不能进行其他操作. FLASH 的写操作流程如图 12 所示.

FLASH 中数据的加载时间要短于页编程时间, 此编程时间将会带来带宽下降和数据传输断层的问题, 而流水线本质是用 FLASH 的数据加载时间来填补编程时间^[10], 由此采用流水线技术能够很好地解决这一问题. 本型号 FLASH 支持 Two-Plane 操作, 即对一个 Die 内的两个 Plane 均操作完成后换另一个 Die. 因此本系统采用片内交叉流水线技术, 写入过程如图 13 所示.

以 1 个 FLASH 存储器做片内交叉流水线设计为例. 首先, 第 1 片 Device 内部的 Die1 加载数据, 加载完后 Die1 进入编程阶段, 同时 Die2 加载数据, 加载完后 Device1 全部进入编程状态; 再对 Device2 进行数据加载工作; Device2 的 Die2 加载完成后, Device1 的 Die1 进入空闲状态, 可以继续加载 Die1. 如此循环操作, 可以无停顿的持续加载图像数据, 很大程度上提高了 FLASH 存储器的写入带宽.

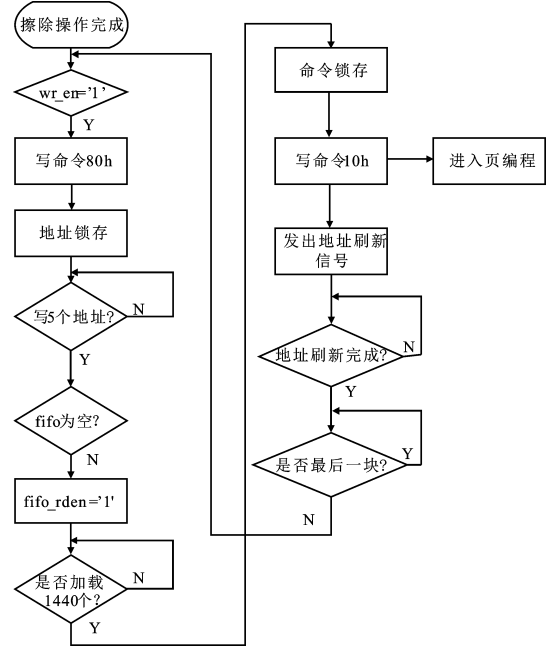


图 12 FLASH 写流程图



图 13 NAND FLASH 片内流水线设计

本系统仅要求采集黑白图像, 截取 Y 分量即可, 每行中的 Y 分量为 720 B. 由于视频信号有帧间隔和行间隔, 完全加载 1 页时间浪费严重, 因此每页仅加载 2 行

图像信息,即一页加载 1 440 B,1 个 Die 可以加载 2 880 B. FLASH 的写周期为 20 ns,1 个 Die 的加载时间为 57.6 μ s. 通常 FLASH 的页编程过程为 200 μ s,因此需要 5 片 FLASH 存储器做片内交叉流水.

6 实验结果与分析

FPGA 控制 FLASH 存储器进行读写、擦除操

作. 以写操作为例,每片存储器检测到写使能信号 wren 后开始将 FIFO 中的数据加载到页寄存器中. 若使用 5 片 FLASH 进行流水线操作,需确保 4 片存储器的加载时间小于页编程时间(200 μ s). 写操作仿真图如图 14 所示.

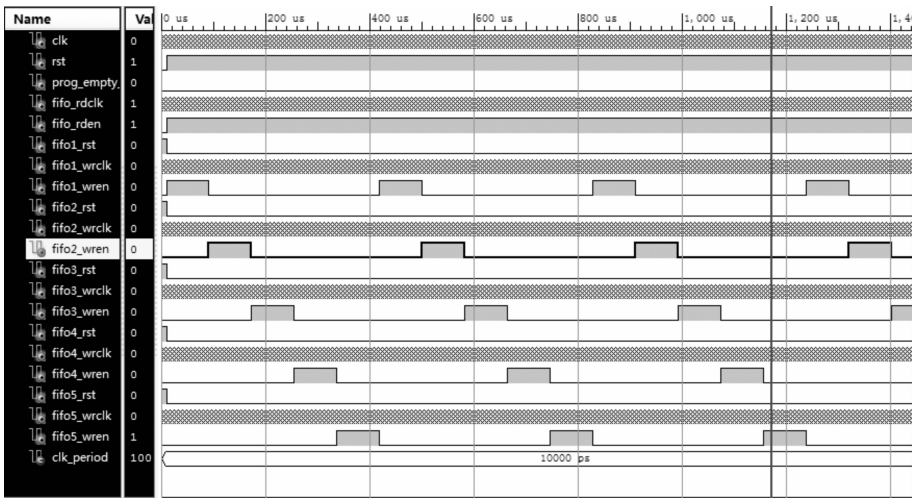


图 14 FLASH 写操作仿真图

为了验证本系统设计方案的可行性,电路焊接调试完成后,使用一套测试系统进行图像采集实验. 设定 10 m 的数据传输距离,在 75 g 的过载条件下进行上下 3 次半正弦波振动测试. 将采集到视频数据经以太网接口传输到上位机,以 AVI 格式存放在计算机中,通过上位机软件播放的图像清晰,无丢帧情况发生,表明该系统可稳定工作. 采集到的图像如图 15 和图 16 所示.



图 16 实验图像实例 2



图 15 实验图像实例 1

7 结束语

本文提出了一种弹载图像采集系统的分离式设计方案,采用 LVDS 信号进行数据传输. 与传统的弹载测试系统相比设计虽然较为复杂,但在数据传输的可靠性和回收工作的方便性上具备很大优势. 目前该系统可以在 10 m 的距离内驱动 27 MHz 的像素时钟信号稳定传输,多次重复实验采集到的图像清晰可辨,无丢帧现象. 系统可靠性拟进一步在某型号导弹上进行试飞试验考核.

参考文献:

- [1] 陈振宇,李忠新. 微小型弹载图像采集系统设计[J]. 传感器与微系统, 2015, 34(3):116-119.
 - [2] 王永芳,范锦彪,王燕. 基于可编程逻辑器件的弹载存储测试仪[J]. 探测与控制学报, 2012, 34(5): 55-58.
 - [3] 姬永强,李映辉,聂飞. 弹载数据存储模块抗高过载防护技术研究[J]. 振动与冲击, 2012, 31(18): 104-106.
 - [4] 张健,吴晓冰. LVDS 技术原理与设计简介[J]. 电子技术应用, 2000, 26(5):69-70, 72.
 - [5] 孙春风,袁峰,丁振良,等. 基于 LVDS 高速图像采集系统的设计[J]. 仪表技术与传感器, 2009, 35(3):46-48, 51.
 - [6] 蔺志强,孟令军,彭晴晴. 基于 ADV7180 的视频图像实时采集系统系统的设计[J]. 器件与应用, 2011, 35(17):36-41.
 - [7] 冯伟昌,林玉池,何东,等. 基于 FPGA 的双通道实时图像处理系统[J]. 传感技术学报, 2010, 23(8):1118-1122.
 - [8] 钱敏,李富华,黄秋萍,等. 基于 HDL 的 PAL 制数字视频图像采集控制器设计[J]. 微电子学与计算机, 2007, 24(12):191-194.
 - [9] 赵盼盼,孟令军,文波,等. 箭载图像压缩与存储系统设计与实现[J]. 实验室研究与探索, 2015, 34(12): 92-96.
 - [10] 康艳霞,曹剑中,田雁,等. 实时视频处理系统中乒乓缓存的设计[J]. 弹箭与制导学报, 2007, 27(4): 218-221.
-
- 作者简介:**
- 王晓楠** 女,(1992-),硕士研究生. 研究方向为动态测试与无线通信.
- 王代华(通讯作者)** 男,(1977-),博士,副教授. 研究方向为无线传感网络与传感器系统.
- E-mail:wangdaihua@nuc.edu.cn.
- 高阳** 男,(1991-),硕士研究生. 研究方向为动态测试与无线通信.
-
- (上接第 78 页)
- [4] 童亦斌,吴岭,金新民,等. 双向 DC/DC 变换器的拓扑研究[J]. 中国电机工程学报, 2007, 27(13): 81-86.
 - [5] Kazimierczuk M K, Sathappan N, Czarkowski D. Voltage-mode-controlled PWM buck DC-DC converter with a proportional controller[C]// Aerospace and Electronics Conference, 1993. IEEE, 1993: 413-419.
 - [6] 张卫平. 开关变换器的建模与控制[M]. 北京:中国电力出版社, 2006.
 - [7] Sable D M, Ridley R B. Comparison of performance of single-loop and current-injection control for PWM converters that operate in both continuous and discontinuous modes of operation[J]. IEEE Transactions on Power Electronics, 1992, 7(1): 136-142.
 - [8] Kondrath N, Kazimierczuk M K. Control-to-output transfer function of peak current mode controlled PWN DC-DC boost converter in CCM[J]. Electronics letters, 2011, 47(17): 991-993.
 - [9] Prodic A, Maksimovic D, Erickson R W. Design and implementation of a digital PWM controller for a high-frequency switching DC-DC power converter[C]// Industrial Electronics Society, 2001. IEEE, 2001, 2: 893-898.
 - [10] Cave-Ayland K, Becerra V M, Potter B, et al. Choosing the most suitable analogue redesign method for forward-type digital power converters[C]// Power Electronics, Drives and Energy Systems (PEDES), 2012 IEEE International Conference on. IEEE, 2012: 1-6.
- 作者简介:**
- 吴杰** 男,(1992-),硕士研究生. 研究方向为开关电源数字控制. E-mail:wujie14@fudan.edu.cn.
- 林栋** 男,(1974-),博士研究生. 研究方向为中小功率开关电源,便携式电源的开发.
- 高科** 男,(1985-),硕士,讲师. 研究方向为信号与信息处理.